

VHDL модули УПС стыка С1-ФЛ

В основе методологии проектирования систем на кристалле СнК (SoC) лежит принцип повторного использования сложно-функциональных блоков (СФБ). СФБ, разрабатываемые в рамках одного проекта или специально, затем используются в других проектах. По аналогии с системой на плате, где в качестве компонентов выступают готовые микросхемы, СнК конструируется из повторно используемых блоков.

В научно-техническом отчете «Элементная база 2005» говорится о необходимости разработки собственной библиотеки СФБ типа «soft»[1]. В соответствии с приказом №1207 от 28.11.2008г. в базе «Лоцман» была организована библиотека разработчика «HDL модули», доступная для пользователей ФГУП «ПНИЭИ». В настоящее время в ней помещены модули, наиболее часто используемые в разработках предприятия: схема автоподстройки частоты (АПТЧ), устройство преобразования сигнала (УПС) стыка С1-ФЛ, с опорным сигналом 6144 кГц, УПС стыка С1-ФЛ с опорным сигналом 16384 кГц и УПС стыка С1-ФЛ с опорным сигналом 36864 кГц. По ГОСТ 27232-87 [2] обмен сигналами данных на стыке С1-ФЛ должен производиться двуполярными посылками с избыточным перекодированием в бимпульсный сигнал в диапазоне скоростей от 1200 до 144000 бит/с. Обмен сигналами данных представленных модулей осуществляется в диапазоне от 1200 до 64000 бит/с.

Этот набор сложно-функциональных блоков (СФБ) собственной разработки предприятия, представленный в виде RTL-уровня, выполненном на синтезируемом подмножестве высокоуровневого языка описания аппаратуры VHDL (ГОСТ Р 50754-95) [3]. СФБ (далее модули) являются программируемыми согласно прилагаемому описанию и технологически инвариантными, т.е. могут использоваться для реализации в ПЛИС от различных производителей, а также в БИС.

Контроль разработанных модулей во всех режимах функционирования производился на стенде с применением ПЛИС фирмы Xilinx серии «Spartan 3» (САПР «Foundation ISE 7.1i»). Некоторые модули УПС были использованы в разработках института - в изделии Т640 (ОКР «Дезинтегратор») был использован модуль «УПС 36864», реализованный в ПЛИС фирмы Altera EPF10K30 (САПР «Max+Plus II»); в устройстве технологического контроля для КТС «Дезинтегратор» был использован модуль «УПС 16384», реализованный в такой же ПЛИС (САПР «Quartus II»). Таким образом, подтверждается синтезируемость VHDL описания данных схем в ПЛИС от различных производителей.

Опыт показывает, что использование модулей УПС С1-ФЛ позволяет более оперативно реализовать соответствующую функцию в ПЛИС за счет использования ранее отработанных схемных решений. Возможно, также использование любой составной части модуля – это АПТЧ, БОЧ или МОДЕМ. Для примера ниже приведены данные на модуль УПС36864 [4].

НАЗНАЧЕНИЕ МОДУЛЯ

Модуль является программируемым и реализует цифровое УПС стыка С1-ФЛ. В частности модуль выполняет функции ВОСН, подстройки тактовой частоты местного генератора под тактовую частоту принимаемой информации (АПТЧ) и кодирование (декодирование) передаваемой (принимаемой) информации (МОДЕМ) согласно ГОСТ 27232-87.

СОСТАВ МОДУЛЯ

Модуль состоит из следующих блоков: ВОСН, АПТЧ и МОДЕМ

2. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ МОДУЛЯ И НАЗНАЧЕНИЕ ВЫВОДОВ

Основные характеристики модуля приведены в табл.1.

Таблица 1

Параметр	Буквенное обозначение	Величина
Входная опорная частота, кГц	GL	36 864 кГц
Реализуемые скорости, кбит/с	B	1,2; 2,4; 4,8; 9,6; 16; 19,2; 32; 48; и 64
Шаг коррекции в АПТЧ, %	1/k	6,25; 3,2; 1,6; 0,8
Емкость инерционного блока	S	2; 4; 8; 16
Полюсность подстройки в АПТЧ	P	0,5; 1
Блокировка подстройки в АПТЧ при отсутствии знакоперемен биимпульсного сигнала в течение числа тактов FtПрм	-	2 (при p = 1) 3 (при p = 0,5)
Время блокировки подстройки при обрыве биимпульсного канала, TтПрм	-	16; 32; 64; 128
Характеристика фазового детектора АПТЧ	-	Релейная
Схема защиты от дроблений	-	Подстройка под первую знакоперемену дробленного сигнала

где:

TтПрм – период тактовой частоты приема.

k – коэффициент деления делителя АПТЧ, определяющий шаг коррекции подстройки.

Fоп – частота дискретизации АПТЧ.

S – коэффициент деления счетчика с перекрестным сбросом.

p – полюсность подстройки.

B- скорость передачи биимпульсной информации.

FtПрм – подстраиваемая в АПТЧ приемная тактовая частота.

Назначение выводов модуля приведено в табл.2.

Таблица 2.

Обозначение	Назначение
CHK (1:0)	Входы установки шага коррекции в АПТЧ (1:0)
UP	Вход установки режима биимпульсный (двоичный)
KP (1:0)	Входы установки разрядности инерционного блока (1:0)
T (1:0)	Входы установки счетчика блокировки подстройки в АПТЧ
PL1	Вход установки полюсности подстройки в АПТЧ
NU	Вход сброса анализатора обрыва канала
BL_ARCH	Вход внешней блокировки подстройки в АПТЧ
S (3:0)	Входы установки скорости обмена информации
MDRC	Вход принимаемой информации
GL	Вход глобальной частоты
DTF	Вход передаваемой информации
CHL1	Вход установки работа / шлейф
ZP2	Выход знакоперемен принимаемой информации
REF	Выход декодированной информации
MDTF	Выход закодированной информации
FTPRM	Выход FtПрм

FTPRD	Выход FtПрд
-------	-------------

3. Описание работы модуля.

3.1 ВОСН вырабатывает частоты $F_{оп} = k \cdot F_{тПрм}$ и $F_{тПрд}$ из входной высокой частоты.

Входная глобальная частота $GL=36864$ кГц поступает на вход GL модуля и далее на ВОСН. В зависимости от установки входов управления $S(3:0)$ скоростью обмена информацией **В** и входов управления $P(1:0)$ шагом подстройки $1/k$, вырабатываются различные частоты (Табл.3 – 6). Где $F_{тПрд}$ – сформированная в ВОСН тактовая частота передачи.

Таблица 3. Шаг коррекции $1/k=1/16$: $P1 = \langle 0 \rangle$ и $P0 = \langle 0 \rangle$.

S3	S2	S1	S0	Фоп, кГц	ФтПрд, кГц	В, кбит/с
0	0	0	0	1024	64	64
0	0	0	1	768	48	48
0	0	1	0	512	32	32
0	0	1	1	307	19,2	19,2
0	1	0	0	256	16	16
0	1	0	1	153	9,6	9,6
0	1	1	0	76	4,8	4,8
0	1	1	1	38	2,4	2,4
1	0	0	0	19	1,2	1,2

Таблица 4. Шаг коррекции $1/k=1/32$: $P1 = \langle 0 \rangle$ и $P0 = \langle 1 \rangle$.

S3	S2	S1	S0	Фоп, кГц	ФтПрд, кГц	В, кбит/с
0	0	0	0	2048	64	64
0	0	0	1	1536	48	48
0	0	1	0	1024	32	32
0	0	1	1	614	19,2	19,2
0	1	0	0	512	16	16
0	1	0	1	307	9,6	9,6
0	1	1	0	153	4,8	4,8
0	1	1	1	78	2,4	2,4
1	0	0	0	38	1,2	1,2

Таблица 5. Шаг коррекции $1/k=1/64$: $P1 = \langle 1 \rangle$ и $P0 = \langle 0 \rangle$.

S3	S2	S1	S0	Фоп, кГц	ФтПрд, кГц	В, кбит/с
0	0	0	0	4096	64	64
0	0	0	1	3072	48	48
0	0	1	0	2048	32	32
0	0	1	1	1228	19,2	19,2
0	1	0	0	1024	16	16
0	1	0	1	614	9,6	9,6
0	1	1	0	307	4,8	4,8
0	1	1	1	153	2,4	2,4
1	0	0	0	76	1,2	1,2

Таблица 6. Шаг коррекции $1/k=1/128$: $P1 = \langle 1 \rangle$ и $P0 = \langle 1 \rangle$.

S3	S2	S1	S0	Фоп, кГц	ФтПрд, кГц	В, кбит/с
----	----	----	----	----------	------------	-----------

0	0	0	0	8192	64	64
0	0	0	1	6144	48	48
0	0	1	0	4096	32	32
0	0	1	1	2456	19,2	19,2
0	1	0	0	2048	16	16
0	1	0	1	1228	9,6	9,6
0	1	1	0	614	4,8	4,8
0	1	1	1	307	2,4	2,4
1	0	0	0	153	1,2	1,2

3.2 Частота $F_{оп}$ поступает в АПТЧ, где происходит подстройка $F_{тПрм}$ под принимаемый по входу модуля MDRC входной информационный сигнал. Схема АПТЧ, реализована по структурной схеме рис.1

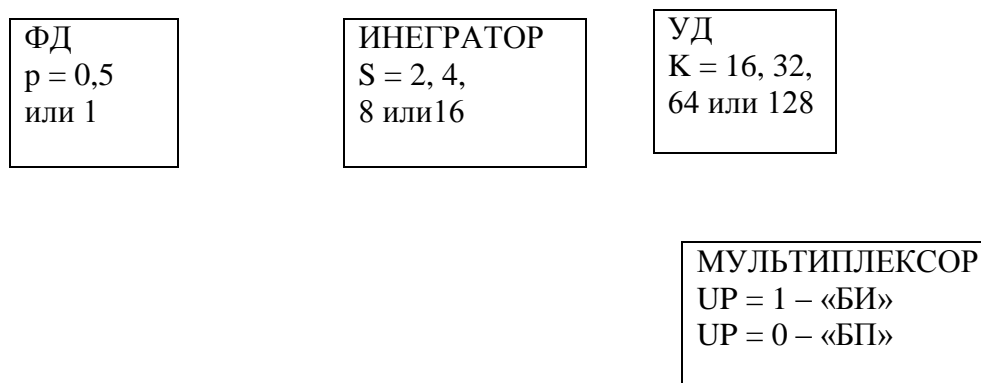


Рис.1

При установке на входе PL1 логической «1» подстройка осуществляется по фронтам и спадам входного сигнала, а при логическом «0» - только по фронтам. В последнем случае скорость подстройки уменьшается в два раза, но входной сигнал может быть с большими преобладаниями.

Передаточная характеристика фазового детектора (ФД) имеет релейную характеристику с программируемой полюсностью подстройки (p). Интегратор – это счетчик с перекрестным сбросом с программируемым коэффициентом интеграции S (табл. 7). Управляемый делитель (УД) имеет коэффициент деления (k), программируемый согласно табл. 9. Мультиплексор производит перевод работы в биимпульсный «БИ» режим или биполярный «БП» режим в зависимости от сигнала «UP».

Основные характеристики АПТЧ следующие:

- шаг коррекции $\varphi = 1/k \cdot 100\%$;
- число знакоперемен, необходимых для начальной синхронизации $N = k \cdot S/2$;
- полоса захвата $F = 2 \cdot F_t \cdot p/kS$;
- минимальный период корректирования $t = S/F_t$.

Схема АПТЧ имеет анализатор биимпульсного сигнала, срабатывающий при отсутствии знакоперемен в биимпульсном сигнале в течение двух тактов частоты $F_{тПрм}$ при $p=1$ или трех тактов при $p=0,5$. Схема защиты от дроблений работает за счет подстройки частоты по первой знакоперемене дробленого сигнала.

При наличии на входе модуля CHL1 логического «0» осуществляется нормальная работа модуля, а при логической «1» - режим шлейфа, когда модулированная информация в блоке MODEM возвращается в блоки АПТЧ и MODEM. В блоке АПТЧ интегратор в виде счетчика с перекрестным сбросом программируется по входам КР(1:0) согласно табл.7.

Таблица 7.

KP1	KP0	Коэффициент деления счетчика с перекрестным сбросом
0	0	2
0	1	4
1	0	8
1	1	16

По входу UP устанавливается режим работы блоков АПТЧ и MODEM: UP = «0» – БП, UP = «1» - БИ. По входу модуля BL_APTCH может быть заблокирована подстройка АПТЧ подачей на этот вход логической «1». Блокировка подстройки осуществляется также в режиме БИ, если отсутствуют знакопеременные в течение двух тактов FtПрм (при PL1=1) или если отсутствуют знакопеременные в течение трех тактов FtПрм (при PL1=0). В этом случае прекращение блокировки наступает через программируемый по входам T(1:0) промежуток времени согласно табл.8. По входу NU логической «1» можно сбросить счетчик, задающий программируемый по входам T(1:0) промежуток времени или вообще исключить внутреннюю блокировку подстройки в АПТЧ установкой логической «1» по этому входу.

Таблица 8.

T1	T0	Время блокировки АПТЧ в тактах FtПрм
0	0	16
0	1	32
1	0	64
1	1	128

Таблица 9.

P1	P0	Коэффициент деления УД (k)
0	0	16
0	1	32
1	0	64
1	1	128

В блоке MODEM при UP = «1» осуществляется модуляция двоичного сигнала, поступающего по входу DTF в биимпульсный сигнал с выдачей по выходу MDTF и демодуляция из биимпульсного сигнала, поступающего по входу MDTF в двоичный, с выдачей по выходу REF. Алгоритм преобразования сигнала данных в биимпульсный сигнал происходит по следующим правилам: символы «0» и «1» сигнала данных передаются на тактовом интервале двумя импульсами равной длительности и противоположной полярности. Порядок чередования полярности импульсов по сравнению с предыдущим тактовым интервалом не изменяется при передаче символа «1» и изменяется при передаче символа «0» [2].

При UP = «0» происходит передача и прием двоичного сигнала по тем же выводам.

4 РЕАЛИЗАЦИЯ МОДУЛЯ В ПРОЕКТЕ

4.1 В директорию проекта скопировать файлы: BOCH.vhd, MODEM.vhd, RS1.vhd, UTCCE.vhd и UPS36864.vhd для САПР в VHDL- редакторе или RS1.sch и UTCCE.sch для САПР фирмы Xilinx Foundation Series в схемотехническом редакторе. Далее в соответствии с САПР делается добавление этих файлов к проекту.

4.2 Для САПР фирмы Xilinx ISE Foundation или ISE WebPACK должны быть произведены следующие действия: Project > AddSource, выделяются эти файлы и добавляются в иерархию проекта. В дереве иерархии выделяется файл UPS36864-behavioral (UPS36864.vhd), в окне ProcessView раскрывается набор опций в Design Utilities и двойным щелчком по Create Schematic Symbol формируется символ этого модуля. Далее этот символ модуля может быть помещен в проект, запрограммирован согласно описанию и подключен к остальным частям проекта. Если символ не требуется, то

программирование модуля делается в более верхнем уровне VHDL проекта, куда входит модуль UPS36864.vhd.

4.3 Для САПР фирмы Altera QUARTUS II должны быть произведены следующие действия: Assignments > Settings > Category > Files. Выделяются, открываются и добавляются эти файлы в проект (Add или Add All). В окне Project Navigator двойным щелчком открывается файл UPS36864-behavioral (UPS36864.vhd).vhd. Процедурой: File > Create/Update > Create Symbol File for Current File создается символ модуля. Далее этот символ модуля может быть помещен в проект, запрограммирован согласно описанию и подключен к остальным частям проекта. Если символ не требуется, то программирование модуля делается в более верхнем уровне VHDL проекта, куда входит модуль UPS36864.vhd.

4.4 Для САПР фирмы Xilinx Foundation Series в схемотехническом редакторе должны быть произведены следующие действия: войти в схемотехнический редактор, добавить модули в проект процедурой: Hierarchy > Add Sheet to Project, начиная с модуля RS.sch. Создать модуль из этой схемы процедурой: я Hierarchy > Create Macro Symbol from Netlist > OK. И так далее для других модулей. Схему верхнего уровня UPS368642.sch проверяют на правильность соединений модулей, делаем модуль UPS368642 процедурой: Hierarchy > Create Macro Symbol from Current Sheet > OK. Далее библиотечный модуль верхнего уровня UPS368642 вставляют в проект и программируют в соответствии с ТЗ.

Вход GL должен быть подключен к модулю через глобальный буфер.

Заключение

Использование модулей УПС С1-ФЛ позволит более оперативно реализовать соответствующую функцию в ПЛИС. По сложившейся в мире практике СФБ является товарной продукцией, широко представленной на рынке. Однако технологический и экономический уровень большинства отечественных компаний не позволяет им участвовать в международном рынке СФБ и вынуждает формировать собственный, обособленный. В России пока нет нормативно-правовой базы, регламентирующей процессы разработки, аттестации, документирования и выпуска СФБ. Однако если необходимая нормативно-правовая база будет сформирована, созданный на предприятии задел, и накопленный опыт позволит оптимистично оценить шансы ФГУП «ПНИЭИ» на российском рынке СФБ. ФГУП «НИИМА «Прогресс» совместно с ведущими предприятиями отрасли и дизайн - центрами разработали соответствующие стандарты, но они не утверждены как отраслевые и не введены в действие.

Практический опыт показывает, что стоимость СФБ повторного использования в среднем в 10 раз превышает стоимость аналогичного разово используемого блока [5]. По этой причине СФБ решают, как правило, общие логически формализуемые задачи, как пример – это УПС С1-ФЛ. Но необходимо создавать информационный фонд по СФ - блокам с целью организации внедрения их в разработках ПЛИС и СнК для ускорения сроков проектирования изделий.

Источники

1. Научно-технический отчет о научно-исследовательской работе «Исследование перспективной элементной базы с целью определения возможностей ее использования в разработках предприятия» (шифр «Элементная база-2005») г. Пенза 2005 г. Пункты 4.5.3 и 4.5.11 отчета.
2. Стык аппаратуры передачи данных с физическими линиями. Основные параметры. ГОСТ 27232-87.
3. Язык описания аппаратуры цифровых систем-VHDL. Описание языка. ГОСТ Р50754-95.
4. База «Лоцман». HDL модули.
5. ОАО «РОССИЙСКАЯ ЭЛЕКТРОНИКА». БЮЛЛЕТЕНЬ о состоянии с разработками, применением СФ-блоков и СБИС типа «система на кристалле» и проектировании РЭА на основе СБИС типа СнК. 2006г. 2007г.